

■ ピン配置図

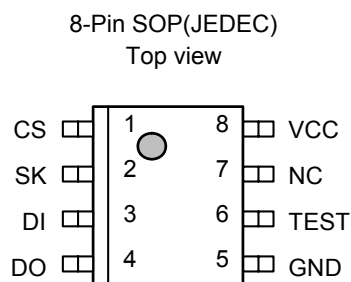


図1

S-93C46BD0H-J8T2U
S-93C56BD0H-J8T2U
S-93C66BD0H-J8T2U

表1

端子番号	端子記号	端子内容
1	CS	チップセレクト入力
2	SK	シリアルクロック入力
3	DI	シリアルデータ入力
4	DO	シリアルデータ出力
5	GND	グランド
6	TEST ^{*1}	テスト
7	NC	無接続
8	VCC	電源

*1. GNDまたはV_{CC}に接続してください。
オープンの場合でも絶対最大定格を越えない限り実用上支障はありません。

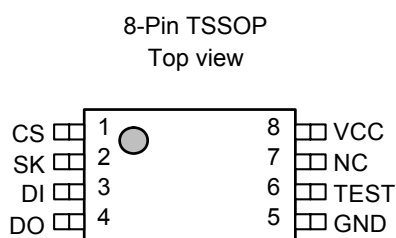


図2

S-93C46BD0H-T8T2U
S-93C56BD0H-T8T2U
S-93C66BD0H-T8T2U

表2

端子番号	端子記号	端子内容
1	CS	チップセレクト入力
2	SK	シリアルクロック入力
3	DI	シリアルデータ入力
4	DO	シリアルデータ出力
5	GND	グランド
6	TEST ^{*1}	テスト
7	NC	無接続
8	VCC	電源

*1. GNDまたはV_{CC}に接続してください。
オープンの場合でも絶対最大定格を越えない限り実用上支障はありません。

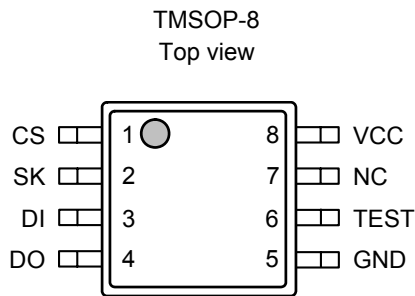


図3

S-93C46BD0H-K8T2U
S-93C56BD0H-K8T2U
S-93C66BD0H-K8T2U

表3

端子番号	端子記号	端子内容
1	CS	チップセレクト入力
2	SK	シリアルクロック入力
3	DI	シリアルデータ入力
4	DO	シリアルデータ出力
5	GND	グラウンド
6	TEST ^{*1}	テスト
7	NC	無接続
8	VCC	電源

*1. GNDまたはV_{CC}に接続してください。
オープンの場合でも絶対最大定格を越えない限り実用上支障はありません。

備考 1. 形状については「外形寸法図」を参照してください。

2. Sn 100%、ハロゲンフリー製品をご希望の場合は、環境コード = Uの製品をお選びください。

■ ブロック図

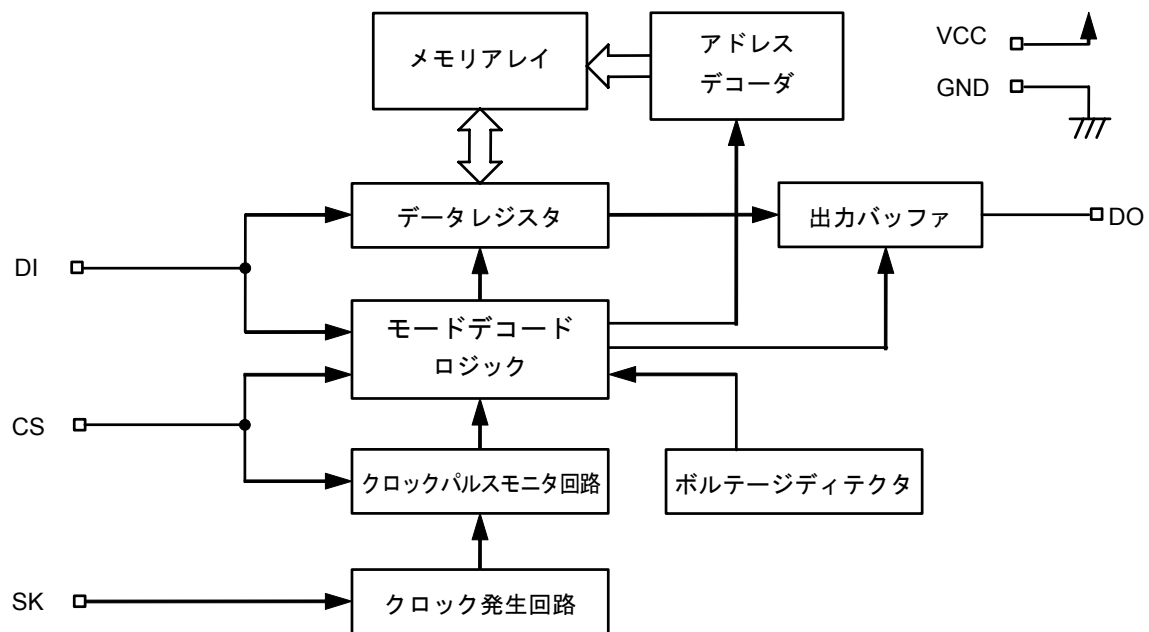


図4

■ 命令セット

1. S-93C46B

表4

命令 SK入力クロック	スタートビット	オペコード		アドレス						データ
	1	2	3	4	5	6	7	8	9	10~25
READ (データ読み出し)	1	1	0	A5	A4	A3	A2	A1	A0	D15~D0 出力 ^{*1}
WRITE (データ書き込み)	1	0	1	A5	A4	A3	A2	A1	A0	D15~D0 入力
ERASE (データ消去)	1	1	1	A5	A4	A3	A2	A1	A0	—
WRAL (チップ書き込み)	1	0	0	0	1	x	x	x	x	D15~D0 入力
ERAL (チップ消去)	1	0	0	1	0	x	x	x	x	—
EWEN (書き込み許可)	1	0	0	1	1	x	x	x	x	—
EWDS (書き込み禁止)	1	0	0	0	0	x	x	x	x	—

*1. 指定されたアドレスの 16 ビットデータが出力されると、続けて次のアドレスのデータが出力されます。

備考 x: 任意

2. S-93C56B

表5

命令 SK入力クロック	スタートビット	オペコード		アドレス								データ
	1	2	3	4	5	6	7	8	9	10	11	12~27
READ (データ読み出し)	1	1	0	x	A6	A5	A4	A3	A2	A1	A0	D15~D0 出力 ^{*1}
WRITE (データ書き込み)	1	0	1	x	A6	A5	A4	A3	A2	A1	A0	D15~D0 入力
ERASE (データ消去)	1	1	1	x	A6	A5	A4	A3	A2	A1	A0	—
WRAL (チップ書き込み)	1	0	0	0	1	x	x	x	x	x	x	D15~D0 入力
ERAL (チップ消去)	1	0	0	1	0	x	x	x	x	x	x	—
EWEN (書き込み許可)	1	0	0	1	1	x	x	x	x	x	x	—
EWDS (書き込み禁止)	1	0	0	0	0	x	x	x	x	x	x	—

*1. 指定されたアドレスの 16 ビットデータが出力されると、続けて次のアドレスのデータが出力されます。

備考 x: 任意

3. S-93C66B

表6

命令 SK入力クロック	スタートビット	オペコード		アドレス								データ
	1	2	3	4	5	6	7	8	9	10	11	12~27
READ (データ読み出し)	1	1	0	A7	A6	A5	A4	A3	A2	A1	A0	D15~D0 出力 ^{*1}
WRITE (データ書き込み)	1	0	1	A7	A6	A5	A4	A3	A2	A1	A0	D15~D0 入力
ERASE (データ消去)	1	1	1	A7	A6	A5	A4	A3	A2	A1	A0	—
WRAL (チップ書き込み)	1	0	0	0	1	x	x	x	x	x	x	D15~D0 入力
ERAL (チップ消去)	1	0	0	1	0	x	x	x	x	x	x	—
EWEN (書き込み許可)	1	0	0	1	1	x	x	x	x	x	x	—
EWDS (書き込み禁止)	1	0	0	0	0	x	x	x	x	x	x	—

*1. 指定されたアドレスの 16 ビットデータが出力されると、続けて次のアドレスのデータが出力されます。

備考 x: 任意

■ 絶対最大定格

表7

項目	記号	定格	単位
電源電圧	V _{CC}	-0.3~+7.0	V
入力電圧	V _{IN}	-0.3~V _{CC} +0.3	V
出力電圧	V _{OUT}	-0.3~V _{CC}	V
動作周囲温度	T _{opr}	-40~+105	°C
保存温度	T _{stg}	-65~+150	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 推奨動作条件

表8

項目	記号	条件	-40~+85°C		+85~+105°C		単位
			Min.	Max.	Min.	Max.	
電源電圧	V _{CC}	READ, EWDS	1.8	5.5	2.7	5.5	V
		WRITE, ERASE, EWEN	2.7	5.5	2.7	5.5	V
		WRAL, ERAL	2.7	5.5	4.5	5.5	V
高レベル入力電圧	V _{IH}	V _{CC} = 4.5~5.5 V	2.0	V _{CC}	2.0	V _{CC}	V
		V _{CC} = 2.7~4.5 V	0.8 × V _{CC}	V _{CC}	0.8 × V _{CC}	V _{CC}	V
		V _{CC} = 1.8~2.7 V	0.8 × V _{CC}	V _{CC}	—	—	V
低レベル入力電圧	V _{IL}	V _{CC} = 4.5~5.5 V	0.0	0.8	0.0	0.8	V
		V _{CC} = 2.7~4.5 V	0.0	0.2 × V _{CC}	0.0	0.2 × V _{CC}	V
		V _{CC} = 1.8~2.7 V	0.0	0.15 × V _{CC}	—	—	V

■ 端子容量

表9

(Ta = 25°C, f = 1.0 MHz, V_{CC} = 5.0 V)

項目	記号	条件	Min.	Max.	単位
入力容量	C _{IN}	V _{IN} = 0 V	—	8	pF
出力容量	C _{OUT}	V _{OUT} = 0 V	—	10	pF

■ 書き換え回数

表10

項目	記号	動作周囲温度	Min.	Max.	単位
書き換え回数	N _w	-40~+85°C	10 ⁶	—	回/語 ^{*1}
		+85~+105°C	5 × 10 ⁵	—	回/語 ^{*1}

*1. アドレスごと (語 : 16ビット)

■ データ保持

表11

項目	記号	動作周囲温度	Min.	Max.	単位
データ保持	—	+25°C	100	—	年
		-40~+105°C	20	—	年

■ DC電気的特性

表12 (1/2)

項目	記号	条件	-40~+85°C						単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.5~4.5 V		V _{CC} = 1.8~2.5 V		
			Min.	Max.	Min.	Max.	Min.	Max.	
読み出し時消費電流	I _{CC1}	DO無負荷	—	0.8	—	0.5	—	0.4	mA

表12 (2/2)

項目	記号	条件	+85~+105°C				単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
			Min.	Max.	Min.	Max.	
読み出し時消費電流	I _{CC1}	DO無負荷	—	0.8	—	0.5	mA

表13 (1/2)

項目	記号	条件	-40~+85°C				単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
			Min.	Max.	Min.	Max.	
書き込み時消費電流	I _{CC2}	DO無負荷	—	2.0	—	1.5	mA

表13 (2/2)

項目	記号	条件	+85~+105°C		単位
			V _{CC} = 2.7~5.5 V		
			Min.	Max.	
書き込み時消費電流	I _{CC2}	DO無負荷	—	2.0	mA

表14 (1/2)

項目	記号	条件	-40~+85°C						単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.5~4.5 V		V _{CC} = 1.8~2.5 V		
			Min.	Max.	Min.	Max.	Min.	Max.	
待機時消費電流	I _{SB}	CS = GND, DO = オープン その他の入力V _{CC} またはGND	—	1.5	—	1.5	—	1.5	μA
入力リーク電流	I _{LI}	V _{IN} = GND~V _{CC}	—	1.0	—	1.0	—	1.0	μA
出力リーク電流	I _{LO}	V _{OUT} = GND~V _{CC}	—	1.0	—	1.0	—	1.0	μA
低レベル出力電圧	V _{OL}	I _{OL} = 2.1 mA	—	0.4	—	—	—	—	V
		I _{OL} = 100 μA	—	0.1	—	0.1	—	0.1	V
高レベル出力電圧	V _{OH}	I _{OH} = -400 μA	2.4	—	—	—	—	—	V
		I _{OH} = -100 μA	V _{CC} -0.3	—	V _{CC} -0.3	—	—	—	V
		I _{OH} = -10 μA	V _{CC} -0.2	—	V _{CC} -0.2	—	V _{CC} -0.2	—	V
書き込みイネーブル ラッチデータ保持電圧	V _{DH}	プログラムディスエーブル 状態の保持に限る	1.5	—	1.5	—	1.5	—	V

表14 (2/2)

項目	記号	条件	+85~+105°C				単位
			V _{CC} = 4.5~5.5 V		V _{CC} = 2.7~4.5 V		
			Min.	Max.	Min.	Max.	
待機時消費電流	I _{SB}	CS = GND, DO = オープン その他の入力V _{CC} またはGND	—	1.5	—	1.5	μA
入力リーク電流	I _{LI}	V _{IN} = GND~V _{CC}	—	1.0	—	1.0	μA
出力リーク電流	I _{LO}	V _{OUT} = GND~V _{CC}	—	1.0	—	1.0	μA
低レベル出力電圧	V _{OL}	I _{OL} = 2.1 mA	—	0.4	—	—	V
		I _{OL} = 100 μA	—	0.1	—	0.1	V
高レベル出力電圧	V _{OH}	I _{OH} = -400 μA	2.4	—	—	—	V
		I _{OH} = -100 μA	V _{CC} -0.3	—	V _{CC} -0.3	—	V
		I _{OH} = -10 μA	V _{CC} -0.2	—	V _{CC} -0.2	—	V
書き込みイネーブル ラッチデータ保持電圧	V _{DH}	プログラムディスエーブル 状態の保持に限る	1.5	—	1.5	—	V

■ AC電气的特性

表15 測定条件

入力パルス電圧	$0.1 \times V_{CC} \sim 0.9 \times V_{CC}$
出力判定電圧	$0.5 \times V_{CC}$
出力負荷	100 pF

表16 (1/2)

項目	記号	-40~+85°C						単位
		$V_{CC} = 4.5 \sim 5.5 \text{ V}$		$V_{CC} = 2.5 \sim 4.5 \text{ V}$		$V_{CC} = 1.8 \sim 2.5 \text{ V}$		
		Min.	Max.	Min.	Max.	Min.	Max.	
CSセットアップ時間	t_{CSS}	0.2	—	0.4	—	1.0	—	μs
CSホールド時間	t_{CSH}	0	—	0	—	0	—	μs
CSディセレクト時間	t_{CDS}	0.2	—	0.2	—	0.4	—	μs
データセットアップ時間	t_{DS}	0.1	—	0.2	—	0.4	—	μs
データホールド時間	t_{DH}	0.1	—	0.2	—	0.4	—	μs
出力遅延時間	t_{PD}	—	0.4	—	0.8	—	2.0	μs
クロック周波数*1	f_{SK}	0	2.0	0	0.5	0	0.25	MHz
SKクロック “L” 時間*1	t_{SKL}	0.1	—	0.5	—	1.0	—	μs
SKクロック “H” 時間*1	t_{SKH}	0.1	—	0.5	—	1.0	—	μs
出力ディスエーブル時間	t_{HZ1}, t_{HZ2}	0	0.15	0	0.5	0	1.0	μs
出カインエーブル時間	t_{SV}	0	0.15	0	0.5	0	1.0	μs

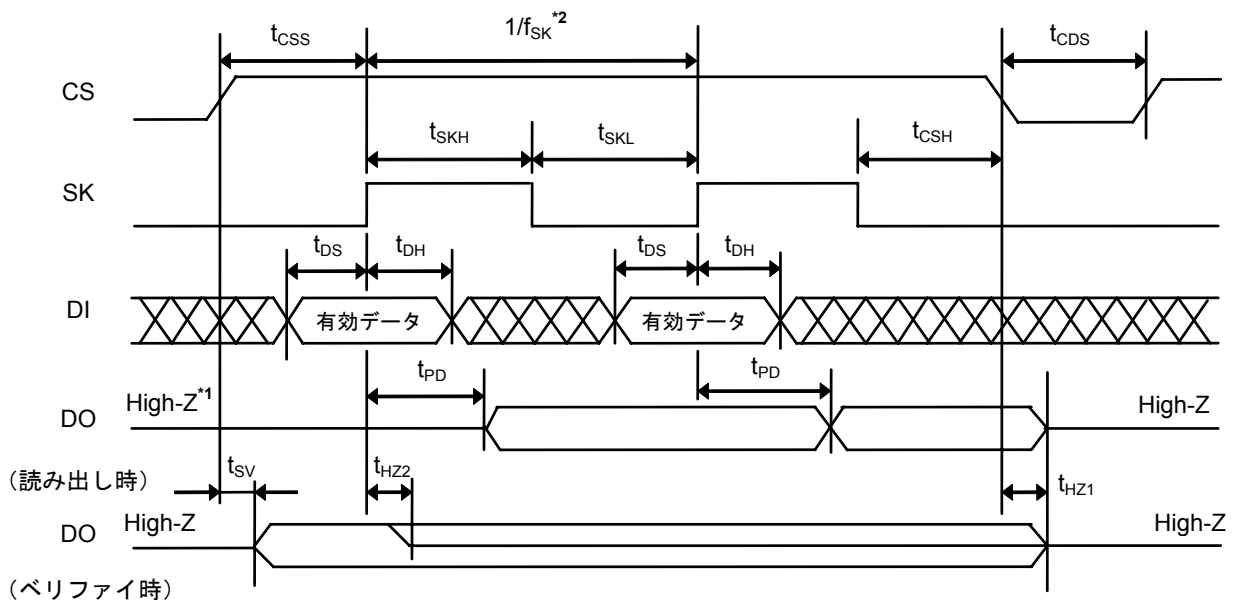
表16 (2/2)

項目	記号	+85~+105°C				単位
		$V_{CC} = 4.5 \sim 5.5 \text{ V}$		$V_{CC} = 2.7 \sim 4.5 \text{ V}$		
		Min.	Max.	Min.	Max.	
CSセットアップ時間	t_{CSS}	0.2	—	0.4	—	μs
CSホールド時間	t_{CSH}	0	—	0	—	μs
CSディセレクト時間	t_{CDS}	0.2	—	0.2	—	μs
データセットアップ時間	t_{DS}	0.1	—	0.2	—	μs
データホールド時間	t_{DH}	0.1	—	0.2	—	μs
出力遅延時間	t_{PD}	—	0.6	—	0.8	μs
クロック周波数*1	f_{SK}	0	1.0	0	0.5	MHz
SKクロック “L” 時間*1	t_{SKL}	0.25	—	0.5	—	μs
SKクロック “H” 時間*1	t_{SKH}	0.25	—	0.5	—	μs
出力ディスエーブル時間	t_{HZ1}, t_{HZ2}	0	0.15	0	0.5	μs
出カインエーブル時間	t_{SV}	0	0.15	0	0.5	μs

*1. SKクロック（周波数 f_{SK} ）のクロック周期は $1/f_{SK}$ μs です。このクロック周期は、いくつかの AC 特性の組み合わせにより決定されます。そのため、SKクロックサイクル時間を最小にする場合でも、クロック周期 ($1/f_{SK}$) = t_{SKL} (Min.) + t_{SKH} (Min.) とすることはできませんのでご注意ください。

表17

項目	記号	-40~+85°C			+85~+105°C			単位
		V _{CC} = 2.7~5.5 V			V _{CC} = 2.7~5.5 V			
		Min.	Typ.	Max.	Min.	Typ.	Max.	
書き込み時間	t _{PR}	—	4.0	8.0	—	4.0	8.0	ms



- *1. ハイインピーダンスを示します。
- *2. $1/f_{SK}$ はSKクロック周期です。このクロック周期は、いくつかのAC特性の組み合わせにより決定されます。そのため、SKクロックサイクル時間を最小にする場合でも、クロック周期 $1/f_{SK} = t_{SKL}(\text{Min.}) + t_{SKH}(\text{Min.})$ とすることはできませんのでご注意ください。

図5 タイミングチャート

■ 動作説明

すべての命令はCSに“H”を入力した後、SKパルスの立ち上がりに同期してDI入力を取り込むことで実行されます。命令セットは、スタートビット、各種命令（インストラクション）、アドレス、データの順に入力します。命令入力はCSに“L”を入力することで完了します。命令と命令の間は必ず t_{CDs} の期間CSに“L”を入力してください。CSに“L”を入力している期間、本製品はスタンバイ状態であり、SKおよびDI入力は無効となり、いかなる命令も受け付けません。

■ スタートビット

スタートビットは、CSに“H”を入力した後、SKの立ち上がり時にDI端子に“H”を入力することで認識されます。CSに“H”を入力した後でも、DI端子に“L”を入力している限り、SKパルスを入力してもスタートビットを認識しません。

1. ダミークロック

スタートビットの取り込み前にDI端子に“L”を入力している状態で入力するSKクロックをダミークロックと呼びます。ダミークロックはCPUから送られる命令セット数（クロック数）とシリアルメモリの動作に必要な命令セット数（クロック数）を同一にするのに役立ちます。例えば、CPUの命令セットが16ビット単位の場合、S-93C46Bでは7ビット分のダミークロックを、S-93C56B/66Bでは5ビット分のダミークロックを挿入することで、命令セットのクロック数を同一にできます。

2. スタートビットの取り込み不具合

- ・書き込み動作後のベリファイ期間中でDO端子の出力状態が“H”の場合、SKの立ち上がりでDI端子に“H”を入力すると、本製品はスタートビットの入力と認識してしまいます。このような不具合を防ぐためにも、ベリファイ動作期間中は、DI端子には“L”を入力してください（「4.1 ベリファイ動作」参照）。
- ・DI入力端子とDO出力端子を接続して3線式インタフェースを構成する場合には、CPUからのデータ出力と、シリアルメモリからのデータ出力が衝突する期間が発生し、スタートビットが正常に取り込まれない可能性があります。「■ 3線式インタフェース（DI-DO直結）」に記載されている対策を行ってください。

3. 読み出し (READ)

READ命令は指定するアドレスのデータを読み出します。

CSIに“H”を入力した後、スタートビット、READ命令、アドレスの順に命令を入力します。最終入力アドレス (A₀) を取り込んだ後、次のSKの立ち上がりまでの間、DO端子の出力状態はハイインピーダンス (High-Z) 状態から“L”に変化します。次のSKの立ち上がり同期して16ビットのデータ出力を開始します。

3.1 連続読み出し

指定アドレスの16ビット長のデータを出力した後、CSへの“H”入力維持したまま続けてSKを入力すると、自動的にアドレスがインクリメントされ、次のアドレスの16ビット長のデータが順次出力されます。このような方法により、全メモリ空間のデータを読み出すことができます。最終アドレス (A_n ··· · A₁ A₀ = 1 ··· · 1 1) がインクリメントされると、先頭アドレス (A_n ··· · A₁ A₀ = 0 ··· · 0 0) となります。

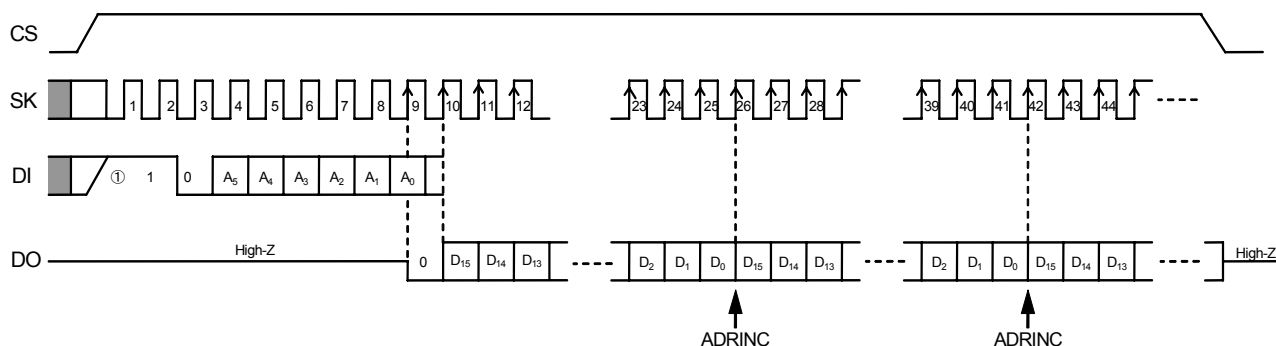


図6 読み出しタイミング (S-93C46B)

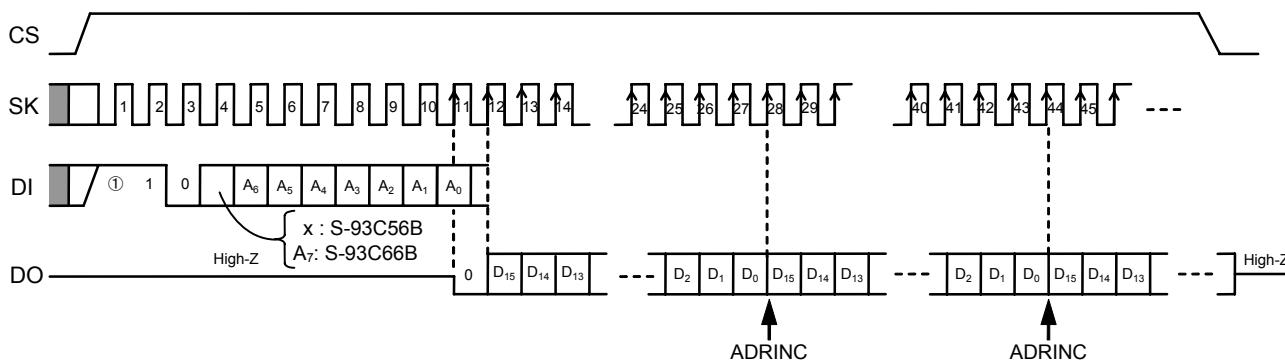


図7 読み出しタイミング (S-93C56B、S-93C66B)

4. 書き込み (WRITE、ERASE、WRAL、ERAL)

書き込み動作にはデータ書き込み (WRITE)、データ消去 (ERASE)、チップ書き込み (WRAL)、チップ消去 (ERAL) の4種類があります。

書き込み命令 (WRITE、ERASE、WRAL、ERAL) では、所定のクロックを入力した後CSに“L”を入力することによりメモリセルへの書き込み動作が開始されます。書き込み期間中はSK、DI入力は無効となりますので命令を入力しないでください。

命令の入力は、DO端子の出力状態が“H”またはハイインピーダンス (High-Z) 状態である場合に行ってください。書き込み動作はプログラムイネーブルモード時のみ有効となります (「5. 書き込み許可 (EWEN) /書き込み禁止 (EWDS)」参照)。

4.1 ベリファイ動作

どの書き込み命令も、書き込み動作は8 ms 以内 (書き込み時間 t_{PR}) に終了し、標準的には4 ms 程度で終了するため、書き込み動作の終了が分かれば、書き込みサイクルを最小にすることができます。書き込み動作の状態を確認する一連の動作をベリファイ動作と呼びます。

(1) 操作方法

書き込み動作が開始した後 (CS = “L”) に、再びCSに“H”を入力してDO端子の出力状態を見ることで書き込み動作の状態がわかります。この一連の動作をベリファイ動作と呼び、書き込み動作の開始後、CSに“H”を入力している期間をベリファイ動作期間と呼びます。

ベリファイ動作期間中のDO端子の出力状態と書き込み動作の関係は次のようになります。

- ・ DO端子 = “L” : 書き込み動作中 (busy)
- ・ DO端子 = “H” : 書き込み動作完了 (ready)

(2) 操作例

ベリファイ動作では、CSを“H”に保持しDO端子の出力状態の変化を待ち続ける方法と、いったんベリファイ動作を終了 (CS = “L”) し、再度DO端子の出力状態を確認するためベリファイ動作を実行する方法があります。このような方法では、CPUは待ち時間を他の処理に当てることができ、システムを効率的に設計できます。

- 注意 1.** ベリファイ動作期間中は、DI端子には“L”を入力してください。
- 2.** DO端子の出力状態が“H”の場合、SKの立ち上がりでDI端子に“H”を入力すると本製品はスタートビットの入力と認識し、命令を取り込んでしまいます。またその際、DO端子は直ちにハイインピーダンス (High-Z) 状態となりますのでご注意ください。

4.2 データ書き込み (WRITE)

指定するアドレスに 16 ビット長のデータを書き込みます。

CS を “H” にした後、スタートビットに続いて WRITE 命令、アドレス、16 ビットのデータを入力します。CS を “L” に立ち下げることによって、書き込み動作が開始します。データ書き込み前にデータを “1” にしておく必要はありません。規定数以上のクロックを入力した場合、クロックパルスモニタ回路により WRITE 命令はキャンセルされます。

クロックパルスモニタ回路については、「■ 命令誤認識による書き込み防止機能」をご参照ください。

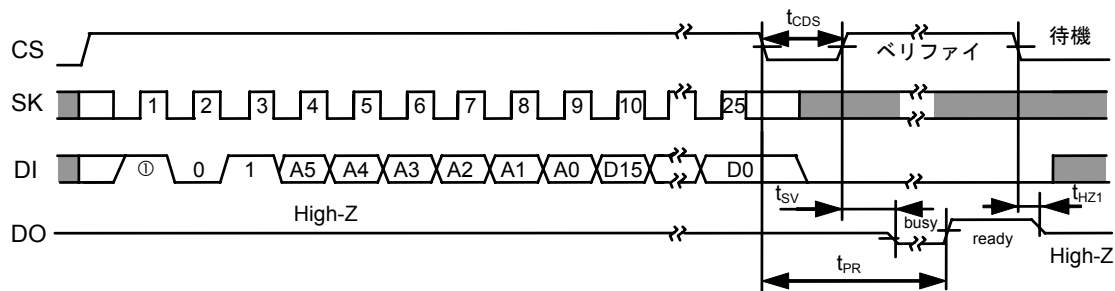


図8 データ書き込みタイミング (S-93C46B)

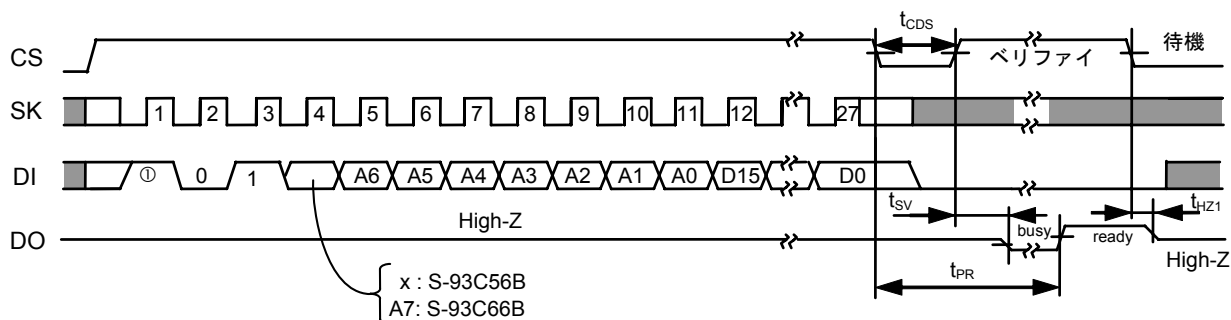


図9 データ書き込みタイミング (S-93C56B、S-93C66B)

4.3 データ消去 (ERASE)

指定するアドレスの16ビット長のデータを消去します。データは16ビットすべて“1”となります。CSを“H”にした後、スタートビットに続いてERASE命令およびアドレスを入力します。データを入力する必要はありません。CSを“L”に立ち下げることによって、データ消去動作が開始します。規定数以上のクロックを入力した場合、クロックパルスモニタ回路によりERASE命令はキャンセルされます。クロックパルスモニタ回路については、「■ 命令誤認識による書き込み防止機能」をご参照ください。

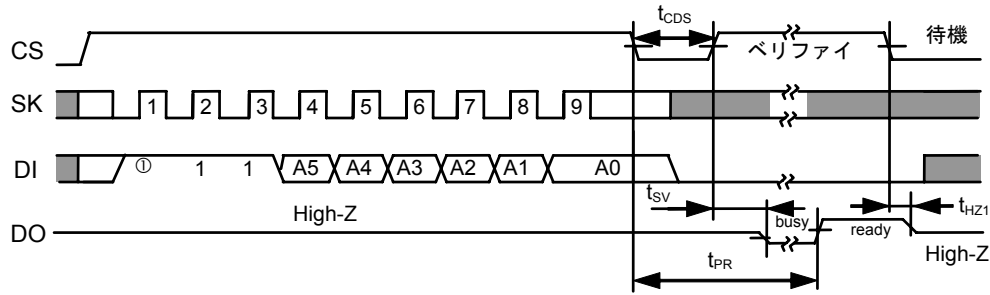


図10 データ消去タイミング (S-93C46B)

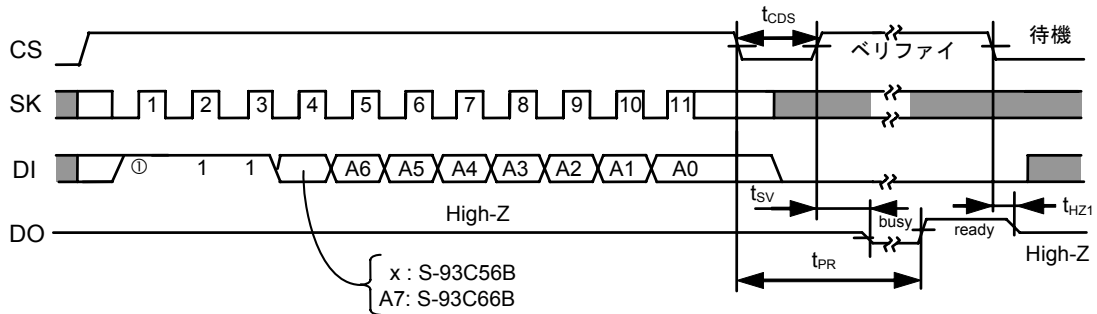


図11 データ消去タイミング (S-93C56B、S-93C66B)

4.4 チップ書き込み (WRAL)

メモリの全アドレス空間に 16 ビット長の同一データを書き込みます。

CS を “H” とした後、スタートビットに続いて WRAL 命令、アドレス、16 ビットのデータを入力します。アドレスは任意です。CS を “L” に立ち下げること、書き込み動作が開始します。データ書き込み前にデータを “1” にしておく必要はありません。規定数以上のクロックを入力した場合、クロックパルスモニタ回路により WRAL 命令はキャンセルされます。

クロックパルスモニタ回路については、「**命令誤認識による書き込み防止機能**」をご参照ください。

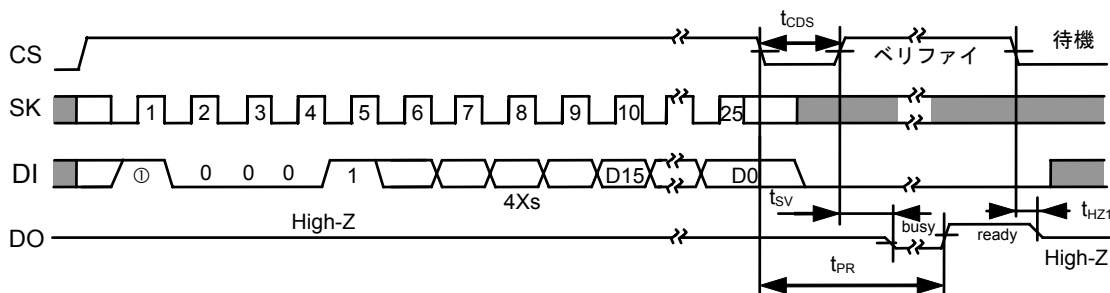


図12 チップ書き込みタイミング (S-93C46B)

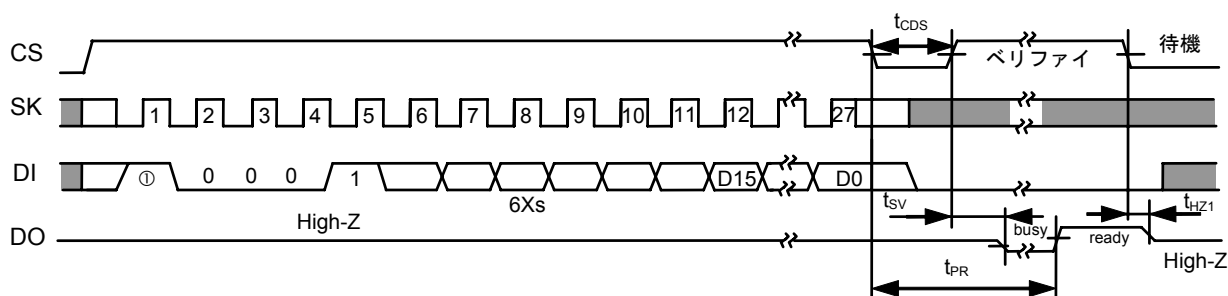


図13 チップ書き込みタイミング (S-93C56B、S-93C66B)

4.5 チップ消去 (ERAL)

メモリの全アドレス空間のデータを消去します。

データはすべて“1”となります。CSを“H”とした後、スタートビットに続いてERAL命令およびアドレスを入力します。アドレスは任意です。データを入力する必要はありません。CSを“L”に立ち下げることによって、チップ消去動作が開始します。規定数以上のクロックを入力した場合、クロックパルスモニタ回路によりERAL命令はキャンセルされます。

クロックパルスモニタ回路については、「**命令誤認識による書き込み防止機能**」をご参照ください。

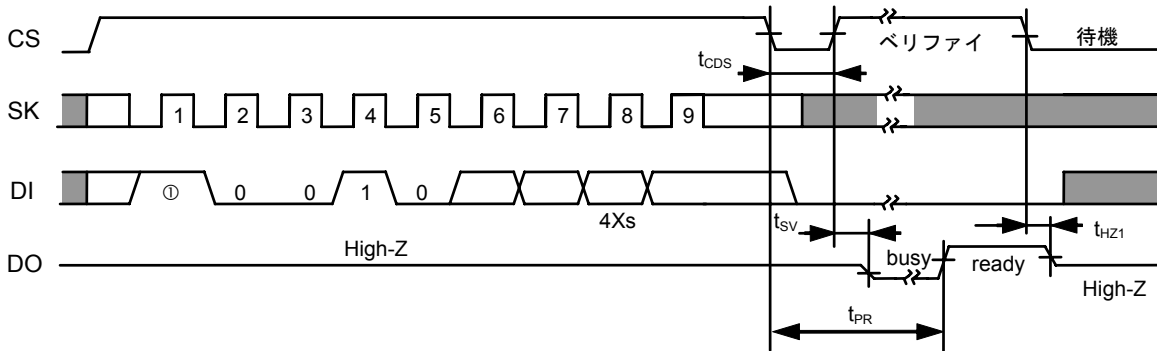


図14 チップ消去タイミング (S-93C46B)

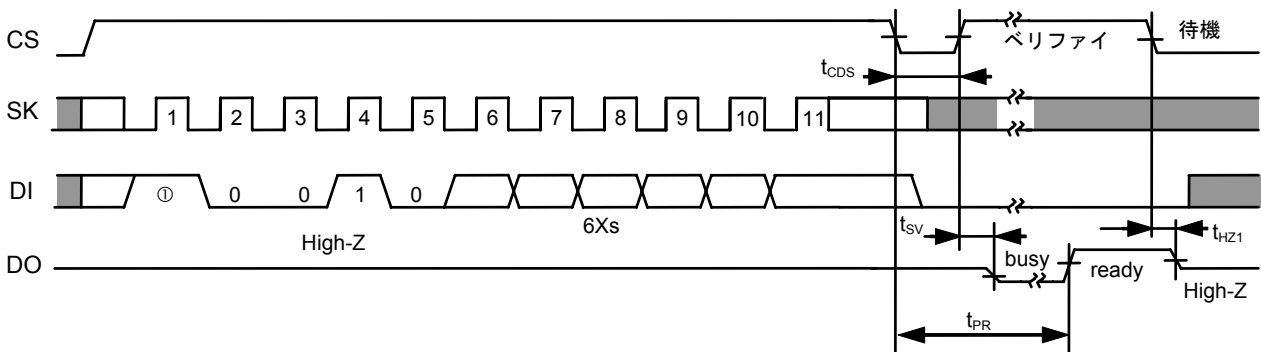


図15 チップ消去タイミング (S-93C56B、S-93C66B)

5. 書き込み許可 (EWEN) / 書き込み禁止 (EWDS)

EWEN命令は、書き込み動作を許可する命令です。書き込み動作が許可されている状態をプログラムイネーブルモードと呼びます。

EWDS命令は、書き込み動作を禁止する命令です。書き込み動作が禁止されている状態をプログラムディスエーブルモードと呼びます。

CSに“H”を入力した後、スタートビット、EWEN命令またはEWDS命令、アドレス（任意）の順に命令を入力します。各モードの状態は、最終アドレス（任意）の取り込み後にCSへ“L”を入力することで有効となります。

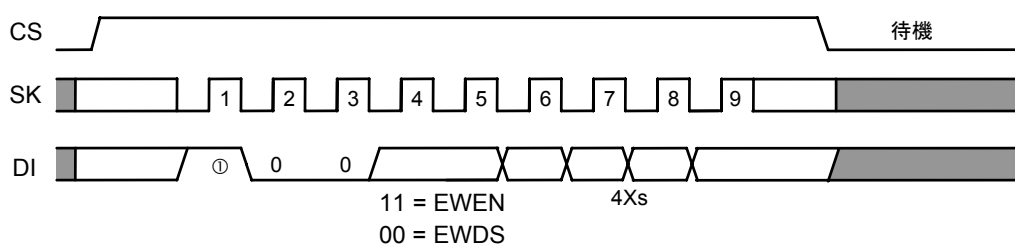


図16 書き込み許可/禁止タイミング (S-93C46B)

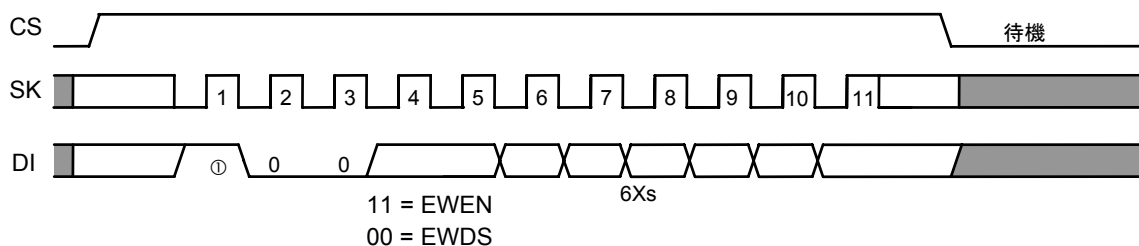


図17 書き込み許可/禁止タイミング (S-93C56B、S-93C66B)

(1) 書き込み動作禁止命令の推奨

書き込み以外の場合や電源投入直後、電源 OFF 前にも書き込み動作禁止命令を実行することで、誤って書き込み命令を認識した場合でも書き込み動作は実行されないような設計を推奨致します。

■ 低電源電圧時の書き込み禁止機能

S-93C46B/56B/66B は低電源電圧の検出回路を内蔵し、電源電圧の低下時および電源投入時には書き込み命令 (WRITE、ERASE、WRAL、ERAL) をキャンセルすると共に自動的に書き込み禁止状態 (EWDS) となります。検出電圧は 1.75 V Typ.、解除電圧は 2.05 V Typ. で約 0.3 V のヒステリシスを持っています (図 18 参照)。

したがって、電源電圧が低下し再び書き込み可能な電圧まで上昇した後に書き込み動作を行う場合には、書き込み命令 (WRITE、ERASE、WRAL、ERAL) を送る前に必ず書き込み許可命令 (EWEN) を送る必要があります。

また、書き込み動作中に電源電圧が低下した場合は、書き込みを行っていたアドレスのデータは保証されません。

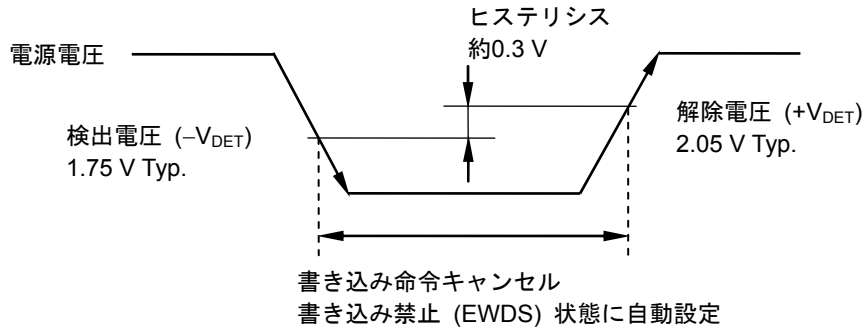


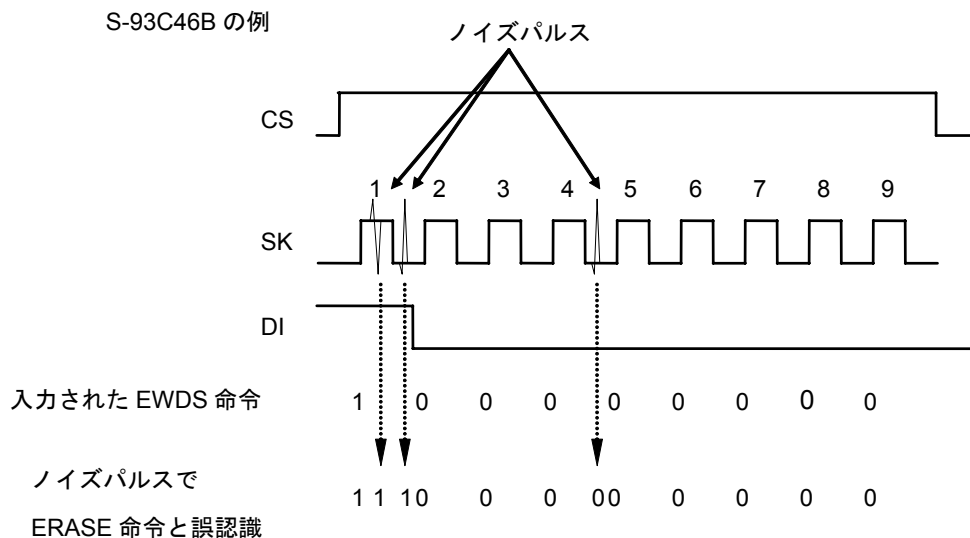
図18 低電源電圧時の動作

■ 命令誤認識による書き込み防止機能

S-93C46B/56B/66B はクロックパルスモニタ回路を内蔵し、ノイズパルス印加やクロックのダブルカウントなどクロックの誤カウントによって誤認識された書き込み命令（WRITE、ERASE、WRAL、ERAL）をキャンセルし、誤書き込みを防止します。

それぞれの書き込み命令（WRITE、ERASE、WRAL、ERAL）で規定されるクロックパルス数に満たない、または規定数以上のクロックパルスを検出した場合、命令をキャンセルします。

【例】プログラムディスエーブル命令（EWDS）を消去命令（ERASE）に誤認識した場合



クロックパルスモニタ回路が内蔵されていない製品ではアドレス 00h に“FFFF”が誤書き込みされますが、S-93C46B では、オーバーカウント判定され、書き込み動作は行われず命令がキャンセルされます。

図19 クロックパルスモニタ回路の動作例

■ 3線式インタフェース (DI-DO直結)

シリアルインタフェースを構成する方法として、CS、SK、DI、DO 端子をそれぞれ用いた 4 線式インタフェース方式と DI 入力端子-DO 出力端子を接続する 3 線式インタフェース方式があります。

3 線式インタフェース方式を採用する場合、CPU 側からのデータ出力とシリアルメモリ側からのデータ出力が衝突する期間が発生し、誤動作の原因となる可能性があります。

そのような誤動作を防止するために、CPU からのデータ出力が優先的に DI 端子に入力されるよう、本製品の DI 端子と DO 端子との間に抵抗 (10~100 kΩの抵抗) を介して接続してください (図 20 参照)。

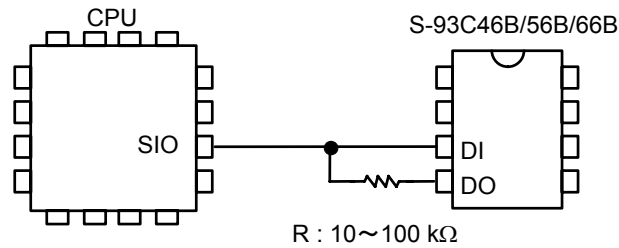


図20 3線式インタフェースの接続法

■ 入出力端子について

1. 入力端子の接続について

本製品の入力端子は、すべてCMOS構造になっておりますので、本製品の動作時にはハイインピーダンスが入力されないように設計してください。特に「電源ON/OFF時」や「動作待機時」はCS入力を非選択状態“L”にしてください。データの誤書き込みは、CS端子が非選択状態“L”であれば起こりません。CS端子を抵抗 (10~100 kΩのプルダウン抵抗) を介してGNDに接続してください。

より確実に誤動作を防止するためには、CS端子以外の端子についても同等のプルダウン抵抗で処理することを推奨します。

2. 入力、出力端子等価回路

本製品の入力端子の等価回路を示します。各入力端子にはプルアップおよびプルダウン素子は内蔵しておりませんので、フローティング状態にならないよう、設計の際は十分にご注意ください。

出力端子はハイレベル/ローレベル/ハイインピーダンスのトライステート出力になります。

TEST端子は、通常の動作時には、スイッチング用トランジスタで内部回路とは切り離されています。

絶対最大定格内でご使用いただいている限りは、TEST端子と内部回路が接続されることはありません。

2.1 入力端子

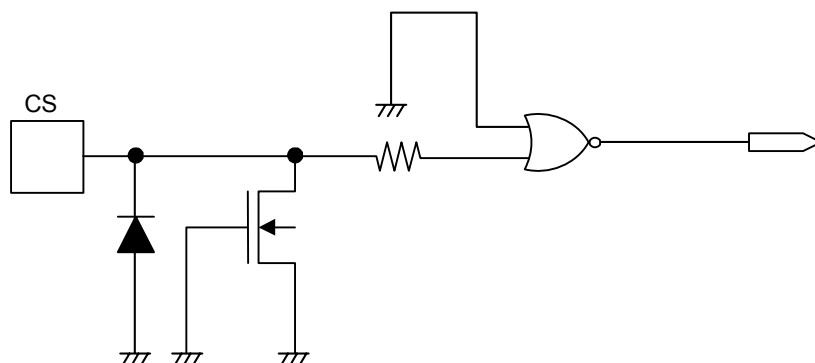


図21 CS端子

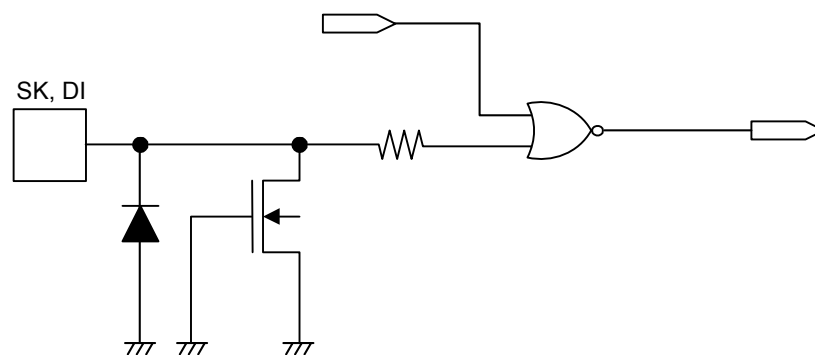


図22 SK, DI端子

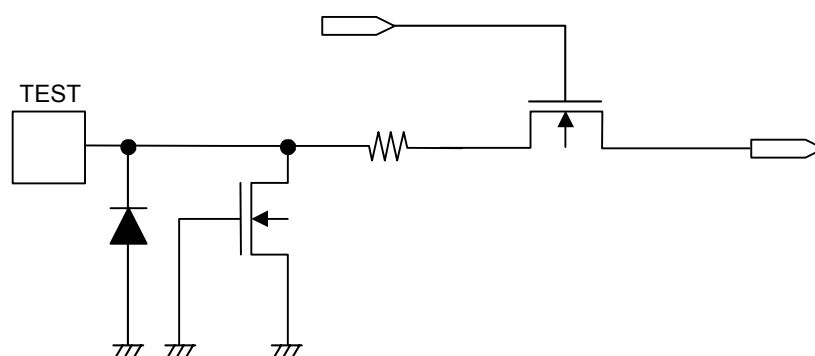


図23 TEST端子

2.2 出力端子

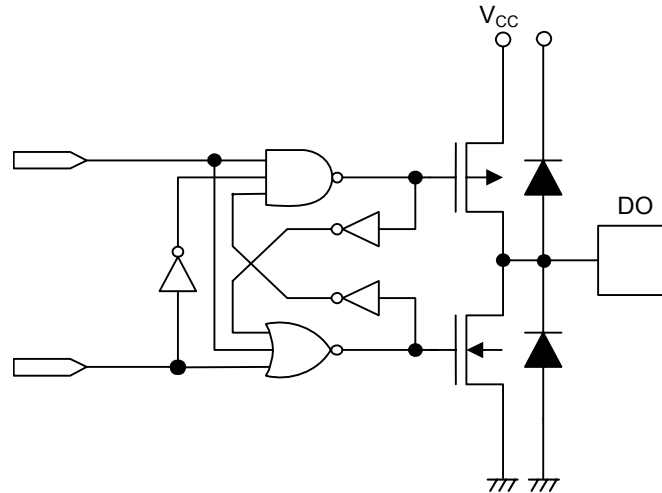


図24 DO端子

3. 入力端子ノイズ除去時間について

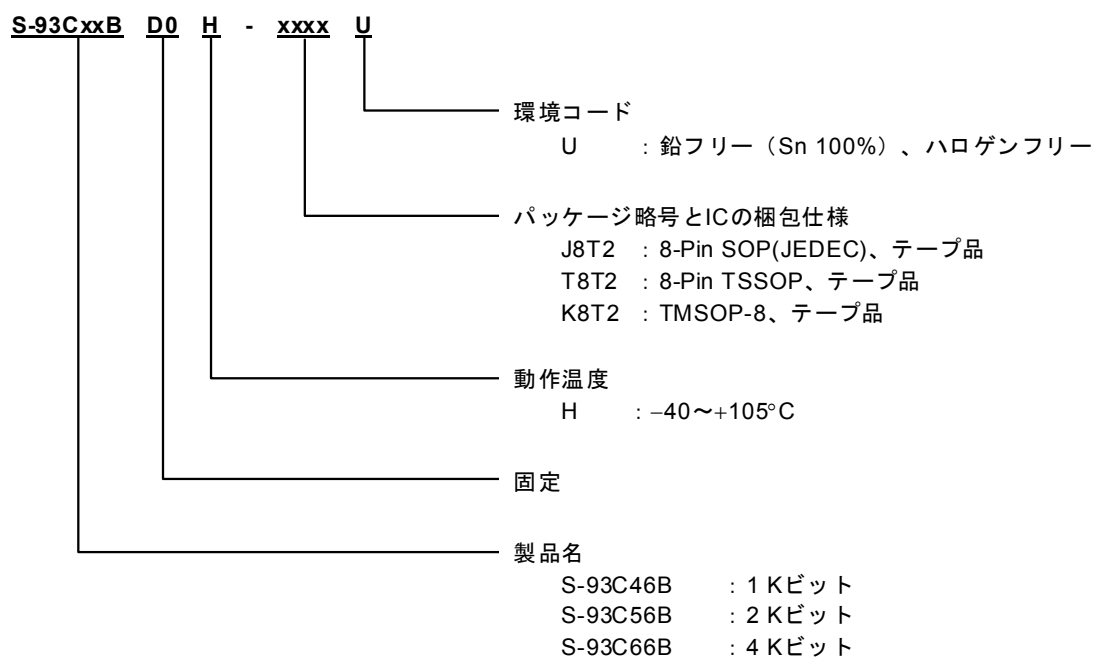
本製品のSK端子とDI端子とCS端子にはノイズを除去するためのローパスフィルター回路を内蔵しています。この回路により電源電圧が5.0 Vの場合、常温で20 ns以下のパルス幅のノイズを除去することができます。しかし、20 nsより長いパルス幅で、電圧が V_{IH} / V_{IL} を越える場合には、ノイズを除去することができないため、パルスとして認識しますのでご注意ください。

■ 注意事項

- ・ 本 IC は静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気が IC に印加されないようにしてください。
- ・ 弊社 IC を使用して製品を作る場合には、その製品での当 IC の使い方や製品の仕様また、出荷先の国などによって当 IC を含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 品目コードの構成

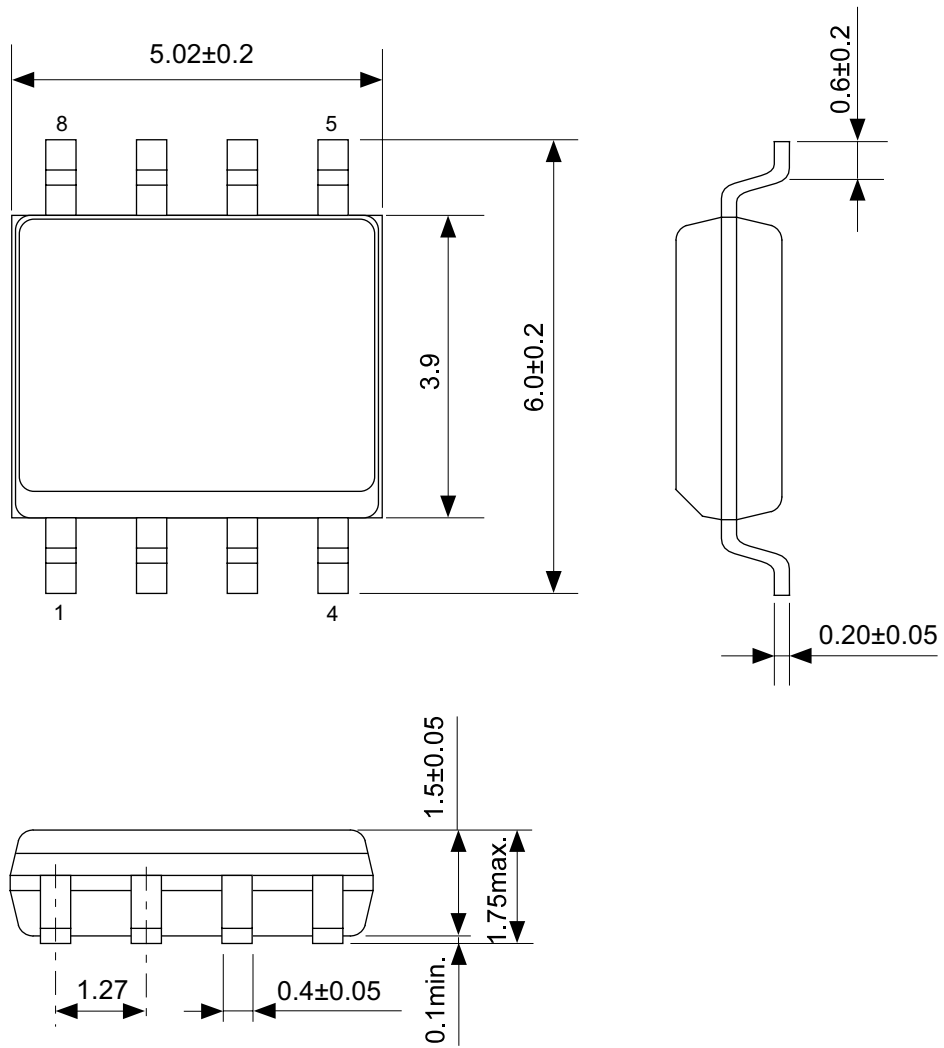
1. 製品名



備考 上記以外の品目コードの製品をご希望のときは、弊社営業部までお問い合わせください。

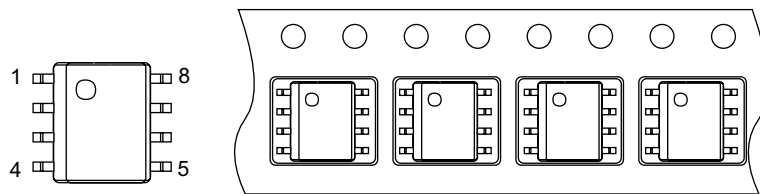
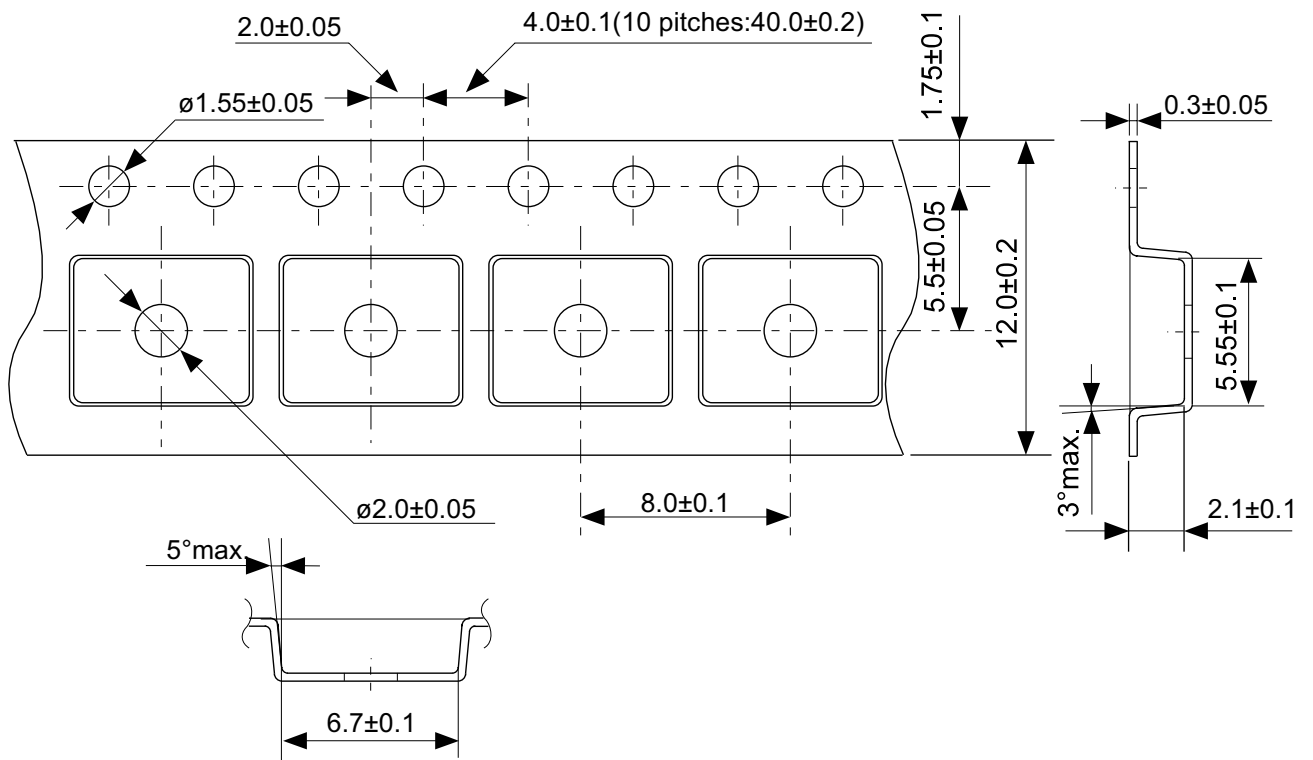
2. パッケージ

パッケージ名	図面コード		
	パッケージ図面	テープ図面	リール図面
8-Pin SOP (JEDEC)	FJ008-A-P-SD	FJ008-D-C-SD	FJ008-D-R-SD
8-Pin TSSOP	FT008-A-P-SD	FT008-E-C-SD	FT008-E-R-SD
TMSOP-8	FM008-A-P-SD	FM008-A-C-SD	FM008-A-R-SD



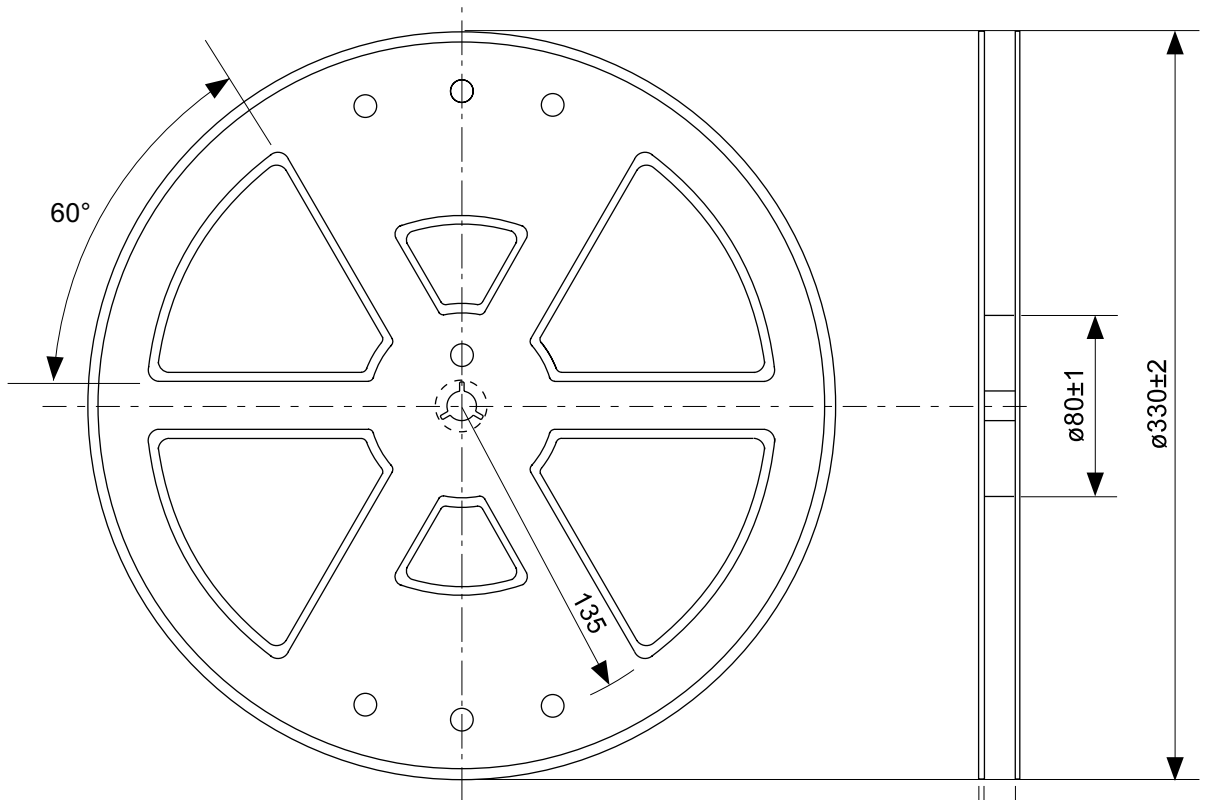
No. FJ008-A-P-SD-2.1

TITLE	SOP8J-D-PKG Dimensions
No.	FJ008-A-P-SD-2.1
SCALE	
UNIT	mm
Seiko Instruments Inc.	

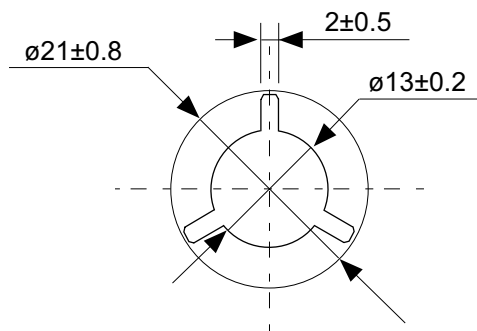


No. FJ008-D-C-SD-1.1

TITLE	SOP8J-D-Carrier Tape
No.	FJ008-D-C-SD-1.1
SCALE	
UNIT	mm
Seiko Instruments Inc.	

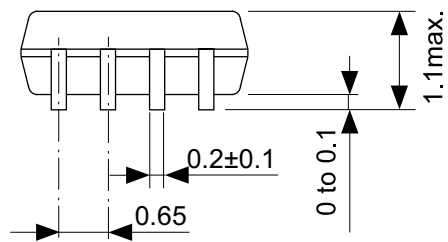
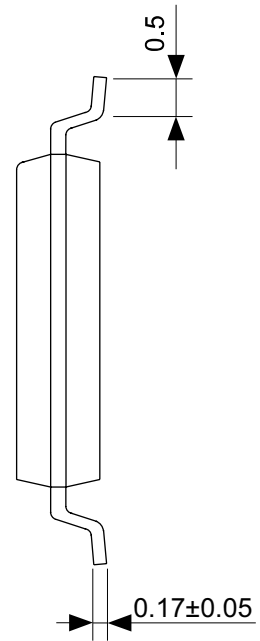
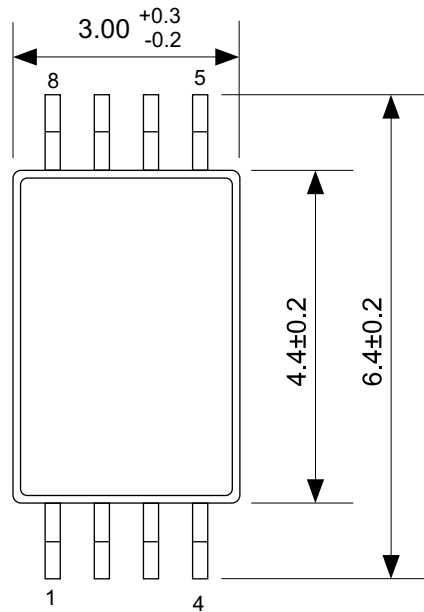


Enlarged drawing in the central part



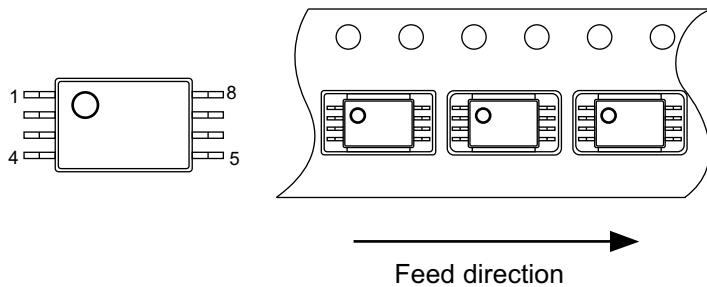
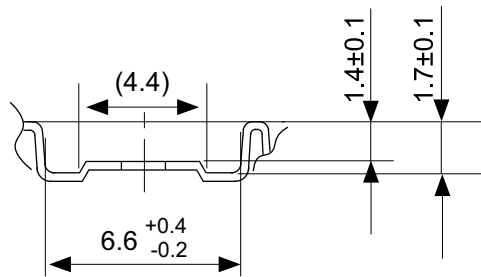
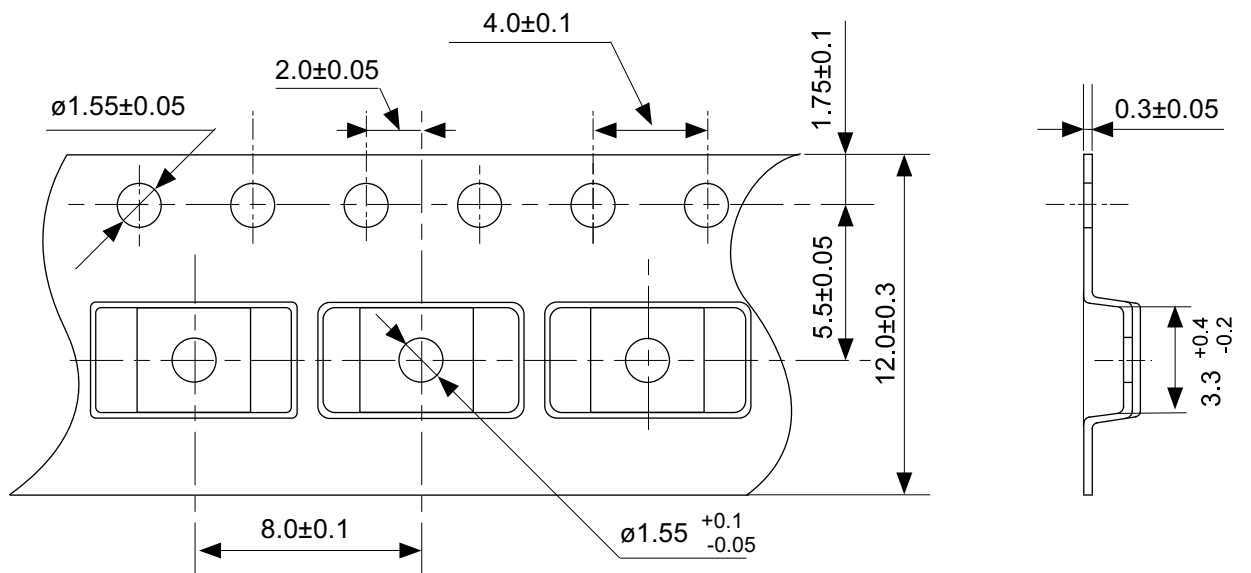
No. FJ008-D-R-SD-1.1

TITLE	SOP8J-D-Reel		
No.	FJ008-D-R-SD-1.1		
SCALE		QTY.	2,000
UNIT	mm		
Seiko Instruments Inc.			



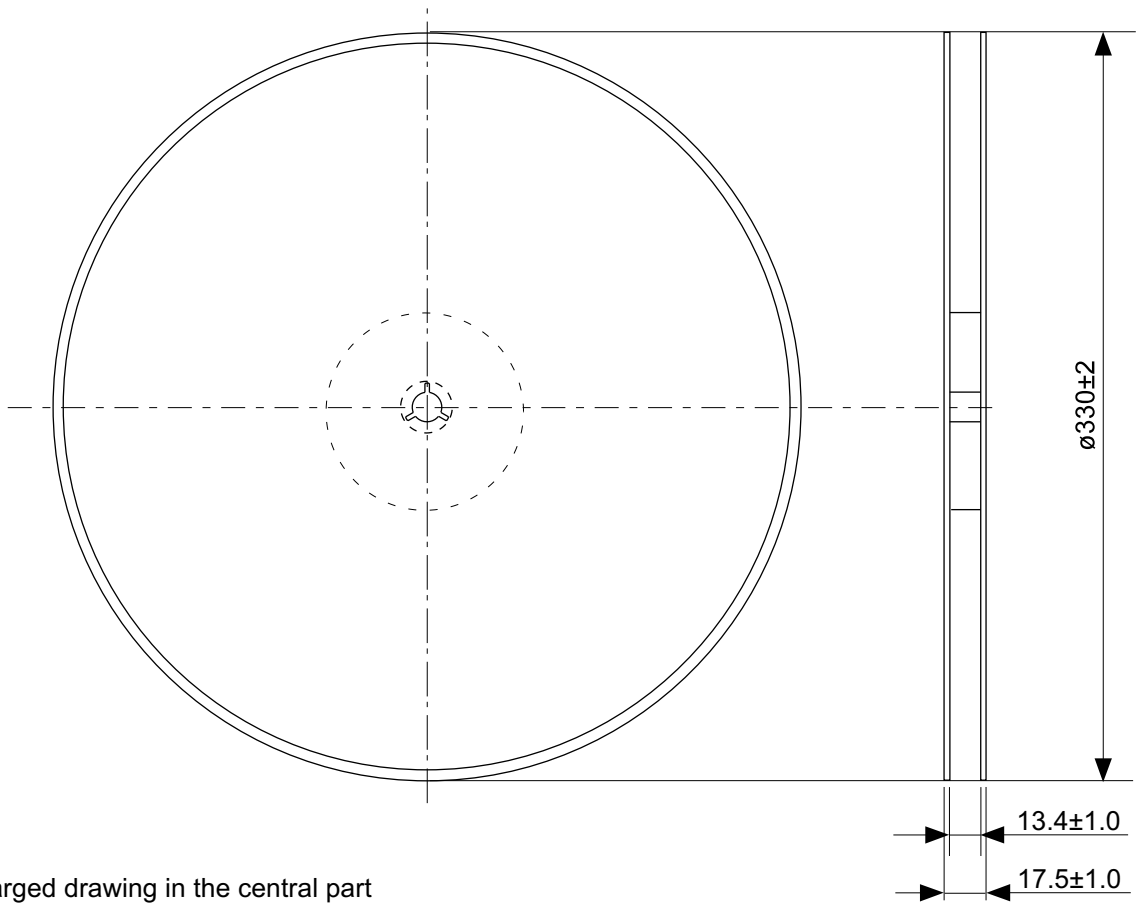
No. FT008-A-P-SD-1.1

TITLE	TSSOP8-E-PKG Dimensions
No.	FT008-A-P-SD-1.1
SCALE	
UNIT	mm
Seiko Instruments Inc.	

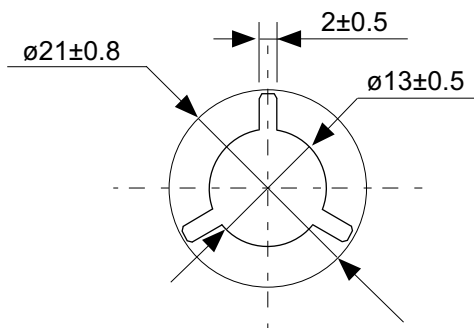


No. FT008-E-C-SD-1.0

TITLE	TSSOP8-E-Carrier Tape
No.	FT008-E-C-SD-1.0
SCALE	
UNIT	mm
Seiko Instruments Inc.	

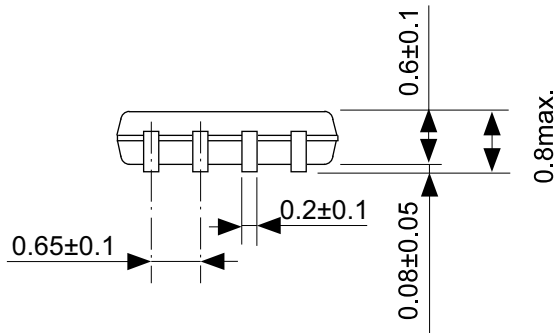
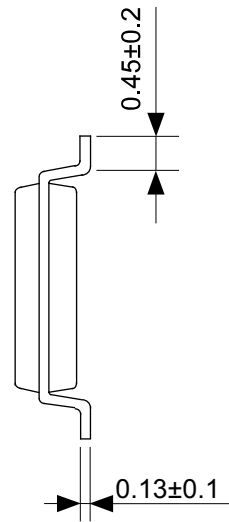
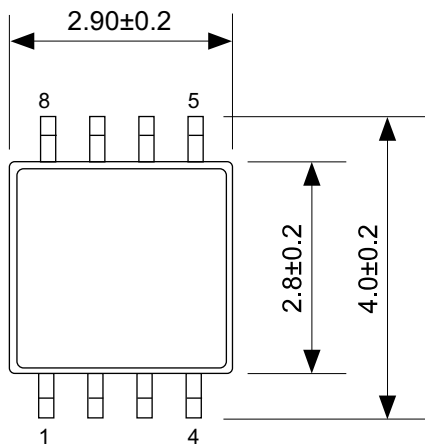


Enlarged drawing in the central part



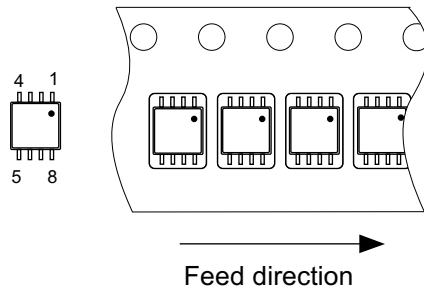
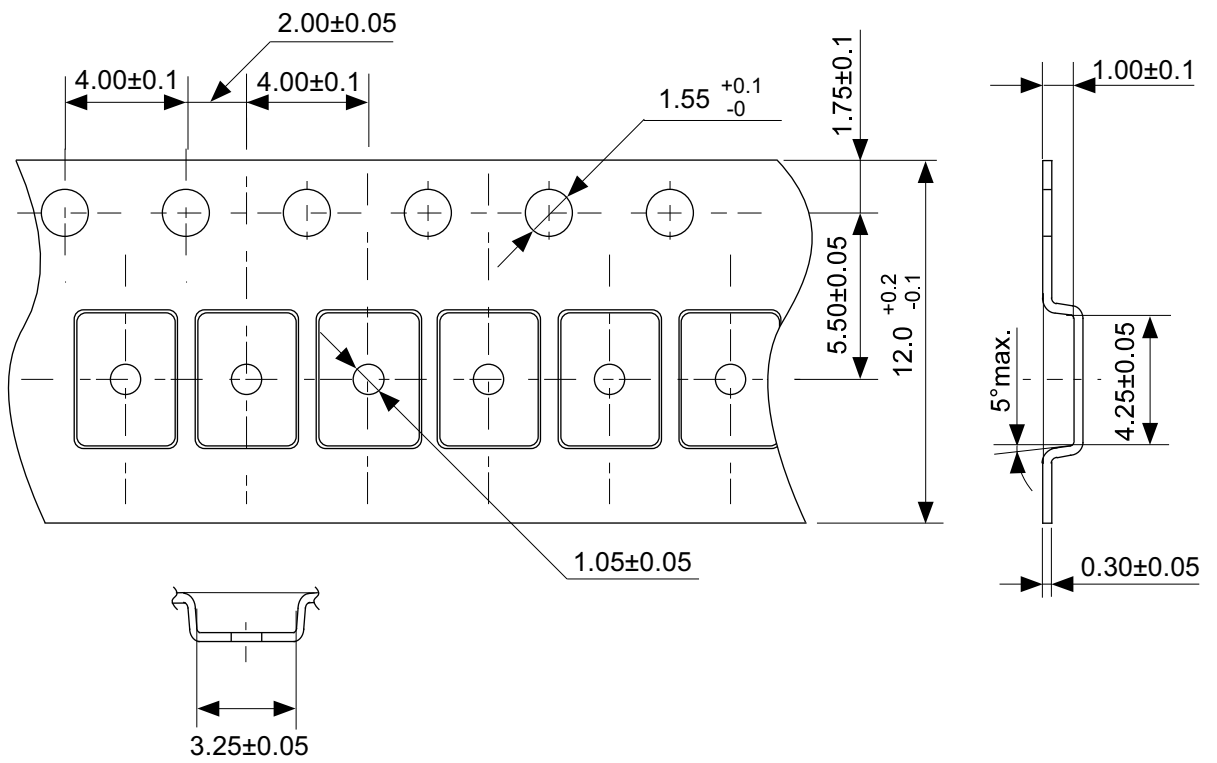
No. FT008-E-R-SD-1.0

TITLE	TSSOP8-E-Reel		
No.	FT008-E-R-SD-1.0		
SCALE		QTY.	3,000
UNIT	mm		
Seiko Instruments Inc.			



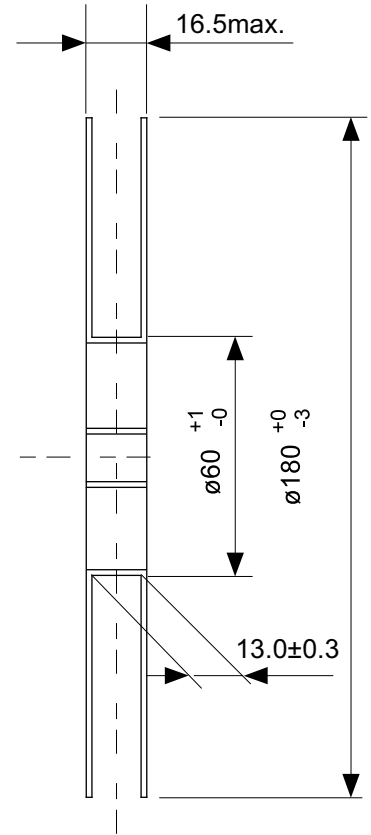
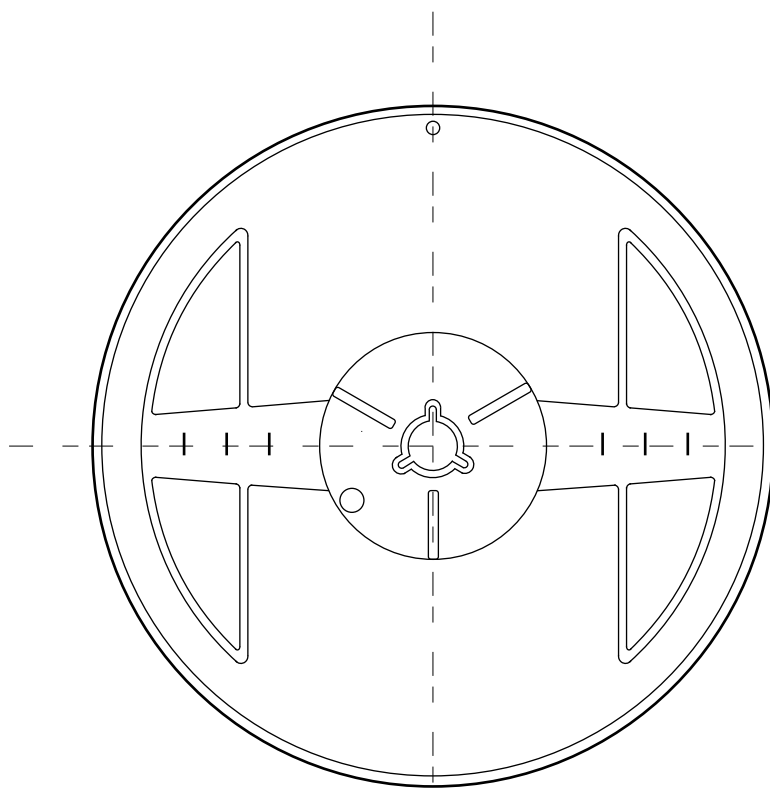
No. FM008-A-P-SD-1.0

TITLE	TMSOP8-A-PKG Dimensions
No.	FM008-A-P-SD-1.0
SCALE	
UNIT	mm
Seiko Instruments Inc.	

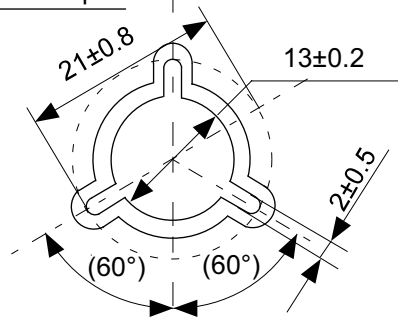


No. FM008-A-C-SD-1.0

TITLE	TMSOP8-A-Carrier Tape
No.	FM008-A-C-SD-1.0
SCALE	
UNIT	mm
Seiko Instruments Inc.	



Enlarged drawing in the central part



No. FM008-A-R-SD-1.0

TITLE	TMSOP8-A-Reel		
No.	FM008-A-R-SD-1.0		
SCALE		QTY.	4,000
UNIT	mm		
Seiko Instruments Inc.			



セイコーインスツル株式会社
www.sii-ic.com

- 本資料の内容は、製品の改良に伴い、予告なく変更することがあります。
- 本資料に記載されている図面等の第三者の工業所有権に起因する諸問題については弊社はその責任を負いかねます。また、応用回路例は製品の代表的な応用を説明するものであり、量産設計を保証するものではありません。
- 本資料に掲載されている製品が、外国為替及び外国貿易法に定める規制貨物（又は役務）に該当する場合は、同法に基づく日本国政府の輸出許可が必要です。
- 本資料の内容を弊社に断ることなしに、記載または、複製など他の目的で使用することは堅くお断りします。
- 本資料に記載されている製品は、弊社の書面による許可なくしては、健康機器、医療機器、防災機器、ガス関連機器、車両機器、航空機器、及び車載機器等、人体に影響を及ぼす機器または装置の部品として使用することはできません。
- 弊社は品質、信頼性の向上に努めておりますが、半導体製品はある確率で故障や誤動作する場合があります。故障や誤動作により、人身事故、火災事故、社会的損害などを生じさせないような冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。